

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-262316

⑪ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和61年(1986)11月20日
H 03 K 5/14		7259-5J	
H 01 P 9/00		6749-5J	
H 03 H 7/34		7210-5J	
H 03 K 19/00	1 0 1	H-8326-5J	審査請求 未請求 発明の数 2 (全17頁)

⑭ 発明の名称 電子信号時間遅延装置

⑮ 特 願 昭61-66991

⑯ 出 願 昭61(1986)3月25日

優先権主張 ⑰ 1985年3月26日 ⑱ 米国(U S) ⑲ 716225

⑳ 1985年7月31日 ㉑ 米国(U S) ㉒ 760818

㉓ 1985年7月31日 ㉔ 米国(U S) ㉕ 761007

⑳ 発 明 者 ジョセフ・イー・ジョ アメリカ合衆国アリゾナ州85224、チャンドラー、ウエス
ンストン ト グレッグ、ドライブ 2420

㉖ 出 願 人 ロジャース・コーボレ アメリカ合衆国コネチカット州ロジャース(番地なし)
イシヨン

㉗ 代 理 人 弁理士 安達 光雄 外1名

明細書の浄書(内容に変更なし)

明 細 書

1. 発明の名称 電子信号時間遅延装置

2. 特許請求の範囲

1. 回路パターン内使用の為の電子信号時間遅延装置であつて、

共通平面可撓性回路手段で、該可撓性回路手段は対向した表面を有する非電導性基板を含み、該基板は該対向した表面の一つの上に置かれた電気的伝導性材料を含んでいるようになっているものと、

該伝導性材料で信号線をその中にもつ接地平面から成り、該信号線は該接地平面から該信号線の何れかの側部上のギャップを介して分離されているようになっているものと、

該共通平面可撓性回路手段で第一の方向に巻かれているものとを、
含んでいる装置。

2. 該信号線が、少くとも該第一方向に於てジグザグの形状を有するようになっているところの特許請求の範囲第1項記載の装置。

3. 該巻かれた可撓性回路手段は複数の層を形成して該層が非電導性基板と電導性材料との交互になつた層を含んでいるようになつており、最内及び最外層とは該非電導性基板の表面上の単一層から成つてマイクロ条片を形成しており、又、残りの層は該非電導性基板が該電導性材料間にサンドイッチされて居てストリップ線路を形成するようになっているところの特許請求の範囲第1項記載の装置。

4. 該信号線は、選択された巾を有し、

該マイクロ条片内の該信号線は該ストリップ線路内の該信号線よりも広い幅を有するようになっているところの特許請求の範囲第3項記載の装置。

5. 該マイクロ条片信号線は該ストリップ線路信号線の約二倍の幅になっているところの特許請求の範囲第4項記載の装置。

6. 該巻かれた可撓性回路手段は複数の層を形成しており、又、一つの層からの信号線のジグザグ形状は隣接する層からの信号線のジグザグ

形状と喰い違つていて向き合つており、それによつて、一つの層からの信号線は隣接する層からの信号線と約90度の角度で重なるようになつており、ところの特許請求の範囲第2項記載の装置。

7. 該巻かれた可撓性回路手段は複数の層を形成するようになつており、又、一つの層からの信号線のジグザグ形状は隣接する層の接地面とはほぼ向き合つていて、それにより一つの層内の信号線のほぼ総てが隣接層内の接地面と重なつており、ところの特許請求の範囲第2項記載の装置。

8. 該巻かれた可撓性回路手段は複数の層を形成しており、又、一つの層からの信号線のジグザグ形状が隣接する層の接地面とはほぼ向き合つており、それにより一つの層内の信号線のほぼ総てが隣接する層内の接地面と重なるようになつており、ところの特許請求の範囲第6項記載の装置。

9. 該巻かれた可撓性回路手段は複数の層を形

成して、該第二接地面延長はその中に信号線を有していないものを含んでおり、ところの特許請求の範囲第11項記載の装置。

14. 該非電導性基板が該第一接地面延長を越えて外方に伸びており、ところの特許請求の範囲第11項記載の装置。

15. 該非電導性基板が該第二接地面延長を越えて外方に伸びており、ところの特許請求の範囲第12項記載の装置。

16. 該信号線を該回路パターンへ接続する第一手段と、

該接地面を該回路パターンへ接続する第二手段とを含む特許請求の範囲第15項記載の装置。

17. 該延長された非電導性基板内に形成され、該第一及び第二接続手段へ近づくための窓を含むところの特許請求の範囲第16項記載の装置。

18. 該信号線を該回路パターンへ接続するための第一手段と

該接地面を該回路パターンへ接続する第二手

成しており、又、一つの層からの信号線のジグザグ形状は隣接する層からの信号線のジグザグ形状と喰い違つて向き合つていて、それにより一つの層からの信号線は隣りの層からの信号線に約90度の角度で重つており、ところの特許請求の範囲第8項記載の装置。

10. 該接地面は、該信号線と該キャップに対して以外は、該非電導性基板のほぼ総てを被つており、ところの特許請求の範囲第1項記載の装置。

11. 該接地面は第一の端と第二の端とを有し、又、該接地面の該第一端から第一の接地面延長が伸びていて、該第一接地面延長はそれの中に信号線を有していないようになつており、ところの特許請求の範囲第1項記載の装置。

12. 該接地面は第一端と第二端とを有し、第二の接地面延長が該接地面の該第二端から伸びていて、該第二接地面延長はそれの中に信号線を有していないようになつており、ところの特許請求の範囲第1項記載の装置。

13. 該接地面の該第二端から伸びている第二接

段とを含むところの特許請求の範囲第1項記載の装置。

19. 該第一接続手段は該非電導性基板上に一对一の接続受台を含み、

該第二接続手段は該非電導性基板上に接続受台を含むようになつており、ところの特許請求の範囲第18項記載の装置。

20. 該巻かれた可撓性回路手段を一緒に保持するための接着剤を含む特許請求の範囲第1項記載の装置。

21. 該信号線ジグザグ形状は少なくとも一回自身上に折返して居り、又、該折返した信号線は向き合つており、ジグザグ配向になつており、ところの特許請求の範囲第2項記載の装置。

22. 該信号線ジグザグ形状は自身上に少なくとも一回折返して居り、又、該折返した信号線は平行なジグザグ配向になつており、ところの特許請求の範囲第2項記載の装置。

23. 該信号線はそれ自身上で一回以上折返して居り、又、

該信号線を該回路パターンへ接続する入力接続手段と、

該信号線にそれに沿う複数のタップの所で近づき、又、該信号線を該回路パターンへ該タップの一つの所で接続する出力接続手段と、該接地面を該回路パターンへ接続する接地接続手段とを含んでいるところの特許請求の範囲第1項記載の装置。

24. 該出力接続手段を該複数のタップの一つに選択的に位置付けする手段を含むところの特許請求の範囲第23項記載の装置。

25. 該接地面は可撓性の接地リボンを含んでおり、又、該接地接続手段は該可撓性接地リボンに接続されているところの特許請求の範囲第24項記載の装置。

26. 該複数のタップの各々の所での該接地面内の窪みを含み、又、該出力接続手段が該窪み中に負荷されているところの特許請求の範囲第23項記載の装置。

27. 該信号線はそれ自身上で一回以上折返すよ

31. 該信号線はそれ自身の上で一度以上折り返して居り、又、

該信号線を該回路パターンへ接続する入力接続手段と、

該信号線をそれに沿う複数のタップの所で接続し、また、該信号線を該回路パターンへ該タップの一つの所で接続する出力接続手段と、

該接地面を該回路パターンへ接続する接地接続手段とを含んでいるようになつて居るところの特許請求の範囲第22項記載の装置。

32. 該出力接続手段を該複数のタップの一つに選択的に位置付ける手段を含むところの特許請求の範囲第31項記載の装置。

33. 該接地面は可撓性の接地リボンを含み、又該接地接続手段は該可撓性接地リボンへ接続されている特許請求の範囲第32項記載の装置。

34. 該接地面内で該複数のタップの各々の所に窪みを含んでおり、又、該出力接続手段が該窪み内に負荷されているところの特許請求の範囲第31項記載の装置。

うになつて居り、又、

該信号線を該回路パターンへ接続する入力接続手段と、

該信号線をそれに沿う複数のタップへ接続し、かつ該信号線を該回路パターンへ該タップの一つにて接続する出力接続手段と、

該接地面を該回路パターンへ接続する接地接続手段とを含んでいるところの特許請求の範囲第2項記載の装置。

28. 該出力接続手段を該複数のタップの一つへ選択的に位置付けするところの特許請求の範囲第27項記載の装置。

29. 該接地面は可撓性の接地リボンを含んでおり、又、該接地接続手段は該可撓性接地リボンへ接続されているところの特許請求の範囲第28項記載の装置。

30. 該接地面内に該複数のタップの各々のところに窪みを含み、該出力接続手段が該窪み内に負荷されているところの特許請求の範囲第27項記載の装置。

35. 該共通平面可撓性回路手段は円筒形状にして巻かれているところの特許請求の範囲第1項記載の装置。

36. 該共通平面可撓性回路手段が三角形形状になつて巻かれているところの特許請求の範囲第1項記載の装置。

37. 該共通平面可撓性回路手段が矩形の形状にして巻かれているところの特許請求の範囲第1項記載の装置。

38. 回路パターン内で使用するための電子信号時間遅延装置であつて、

平面状可撓性回路手段を含み該可撓性回路手段は向き合つた表面を有する非電導性基板を含み、該基板は該向き合つた表面上に置かれた電気的伝導性材料を含んでおり、

該電導性材料はそれの中に信号線のついた接地面から成り、該信号線は該接地面から該信号線のいずれの側上にあるギャップを介して分離されているようになつており、

該共通平面可撓性回路手段は第一の方向に巻

かれており、かつ、

該共通平面可撓性回路手段はそれの中に高透磁率誘電材料を含んでいるようになっているところの装置。

39. 該非電導性基板は該高透磁率誘電材料を含むようになっているところの特許請求の範囲第38項記載の装置。

40. 該巻かれた可撓性回路手段を一糸に結合する接着剤を含むところの特許請求の範囲第38項記載の装置。

41. 該接着剤は該高透磁率誘電材料を含んでいるところの特許請求の範囲第40項記載の装置。

42. 該高透磁率誘電材料は該非電導性材料上へドープされているようになっているところの特許請求の範囲第39項記載の装置。

43. 該高透磁率誘電材料が該接着剤上にドープされているところの特許請求の範囲第41項記載の装置。

44. 該高透磁率材料がフェライトまたはガーネットを含むグループから選択された材料を含ん

ずるところの特許請求の範囲第47項記載の装置。

49. 該信号線は選択された幅を有しており、又該マイクロ条片内の該信号線は該ストリップ線路内の該信号線よりも広い幅を有するようになっているところの特許請求の範囲第48項記載の装置。

50. 該マイクロ条片信号線は該ストリップ線路信号線の約2倍の幅になっているところの特許請求の範囲第49項記載の装置。

51. 該巻かれた可撓性回路手段は複数の層を形成しており、又、一つの層からの信号線のジグザグ形状は隣接層からの信号線のジグザグ形状と喰い違つて向合っており、それにより一つの層からの信号線は隣接層からの信号線と約90度の角度で重り合うようになっているところの特許請求の範囲第47項記載の装置。

52. 該巻かれた可撓性回路手段は複数の層を形成しており、一つの層からの信号線のジグザグ形状は隣接層の接地面とはほぼ反対向になつていて、それにより一つの層内の信号線のほぼ総て

でいるところの特許請求の範囲第38項記載の装置。

45. 該高透磁率材料がフェライトまたはガーネットを含むグループから選択された材料を含むようになっているところの特許請求の範囲第39項記載の装置。

46. 該接着剤が該高透磁率材料を含んでいるところの特許請求の範囲第40項記載の装置。

47. 該信号線が少くとも該第一方向にジグザグ形状を有しているところの特許請求の範囲第38項記載の装置。

48. 該巻かれた可撓性回路手段は複数の層を形成しており、該層は非電導性基板と電導性材料との交互になつた層を含んでおり、又、最内部及び最外部層は該非電導性基板の表面上の電導性材料の単層から成つていてマイクロ条片を形成しており、かつ、

残りの層は該電導性材料の間にサンドイッチされている該非電導性基板から成り、ストリップ線路を形成するようになっているところの特

許請求の範囲第47項記載の装置。

53. 該巻かれた可撓性回路手段は複数の層を形成しており、一つの層からの信号線のジグザグ形状が隣接層の接地面へほぼ向き合つていて、それにより一つの層内の信号線のほぼ総てが隣接層内の接地面にかぶさつてようになっているところの特許請求の範囲第51項記載の装置。

54. 該巻かれた可撓性回路手段が複数の層を形成しており、又、一つの層からの信号線のジグザグ形状が隣接層からの信号線のジグザグ形状と喰い違つて向き合つていて、それにより一つの層からの信号線が隣接層からの信号線に約90度の角度でかぶさつてようになっているところの特許請求の範囲第52項記載の装置。

55. 該接地面は、該信号線と該ギャップ以外は、総ての該非電導性基板にほぼかぶさつてようになっているところの特許請求の範囲第47項記載の装置。

56. 該接地面は第一端と第二端とを有し、又、該接地面の該第一端から第一接地面延長が伸びていて、該第一接地面延長はそれの中に信号線を有していないようになつていているところの特許請求の範囲第47項記載の装置。

57. 該接地面は第一端と第二端とを有し、又、第二接地面延長が該接地面の該第二端から伸びていて、該第二接地面延長はそれの中に信号線を有していないようになつていているところの特許請求の範囲第47項記載の装置。

58. 第二接地面延長が該接地面の該第二端から伸びていて、該第二接地面延長はそれの中に信号線を有していないようになつていているところの特許請求の範囲第56項記載の装置。

59. 該非電導性基板が該第一接地面延長を越えても外方に延びるようになつていているところの特許請求の範囲第56項記載の装置。

60. 該非電導性基板が該第二接地面延長を越えて外方へ延びていているところの特許請求の範囲第57項記載の装置。

れていているところの特許請求の範囲第38項記載の装置。

3. 発明の詳細な説明

本発明は電子信号タイミング遅延装置に関するものである。より詳しくは、本発明は印刷配線盤上での使用に適し、高速度論理系統内での信号の到着時間を調整することが出来る新しい改良された電子部品に関するものである。

電子回路技術界では、デジタルネットワークが正しく機能するためには、或る論理変数がお互に対して正確に制御された時点で状態を変化しなければならぬことは公知である。従つて、信号の正確な制御が印刷回路盤(PCB)または配線盤(PWB)設計では重要な関心事である。この関心は、高速度デジタル論理ネットワークの出現と共に特に決定的となつて来た。

時間遅延ラインが電子工業界では電子信号のタイミングを調整するのに使用されている。上述した如く、信号タイミングは或系の正しい操作上に、特に高速デジタルシステムに対しては

61. 該信号線を該回路パターンへ接続する第一手段と、

該接地面を該回路パターンへ接続する第二手段とを含むところの特許請求の範囲第60項記載の装置。

62. 該延長された非電導性基板内に形成され、該第一及び第二接続手段に近づくようにする為の窓を含むところの特許請求の範囲第61項記載の装置。

63. 該信号線を該回路パターンへ接続する第一手段と、

該接地面を該回路パターンへ接続する第二手段とを含むところの特許請求の範囲第47項記載の装置。

64. 該第一接続手段は該非電導性基板上に一对の接続受台を含み、又、

該第二接続手段は該非電導性基板上に接続受台を含んでいるようになつていているところの特許請求の範囲第63項記載の装置。

65. 該共通平面可撓性手段が円筒形形状に巻か

展々決定的である。そうしたシステムでは、集積回路は二つ以上の入力信号に基いて決定を行う。もしも総ての必要な入力但凡そ同時に到着しないならば、決定は誤つたものになろう。入力に対しては正確に同時に到着することは必要ではないが、到着窓はシステムの速度が増すにつれて、より小さく小さくなつて来る。システムがもつと複雑になると、回路から回路への接続はより長くなり、その結果、集積回路への入力に対する接続長は大きく変りうる。入力接続の長さでのこの変動性は各接続内での通過時間が変わるようになせ、その結果、不均一な到着時間になる。遅く到着する入力信号を加速することは可能でないから、早期に到着する信号を遅延させねばならない。かくして、信号の走行の長さを有効に増大するため、従つてその通過時間を有効に増大させるために遅延ラインが使用される。遅延ラインの電気特性は信号がその上で通常走行するところの回路盤位に良好であるべきである。従つて、それは制御されたイ

ンピーダンス、低いロス、最少の混信を有すべきであり、かつ、信号の立上り時間を劣化させるべきでない。

デジタルシステムに存在する因子には組合せがあつて、適切な補償装置、すなわち、遅延ラインが設けられなければ、信号伝播時間が正確な時間的设计に合致するようなデジタル論理ネットワークを設計し組立てることは実質的に不可能である。その上更に、論理システムの種々の要素での不正確さのせいで、信号のタイミングはネットワークをそれが構成された後で整調することによつてのみ設定することが出来る。これらの不正確さは、例えば通常とは変つているゲート伝播、印刷回路軌道の異なる長さ、またはデジタル信号経路内のコネクタや他の分節での制御されている遅延などから誘導される。

電子信号が印刷回路走路の中で一点から他へ走行するにかかる時間は、走路の物理的長さ、ラインの幾何形状及び基板特性の関数でそれにより決められることは理解されよう。

パラメータとの遅延ラインを含む二つの型のものである。一括されたパラメータの遅延ラインは個々の蓄電器及び誘導器段階を直列にして作られる。全体の遅延はインダクタンスの和にキャパシタンスの和を乗じたものに等しい。多岐の段階がインピーダンスを円滑化するためにも、更には又、個別の誘導器と蓄電器により惹起される立上り時間での劣化を減ずるためにも使用される。遅延ラインが高い性能である程、段階もより多く必要とされる。分布されたパラメータ遅延ラインは分布されたインダクタンスとキャパシタンスを有する。それらの性能は一括されたパラメータ型よりも良好であるが、それらは高張つており、短い遅延に制限されている。どんな構成が利用されようとに拘らず、上の二つの遅延ラインの立上り時間は短い遅延に対してさえも、一ナノセカンドよりも良くはないことが理解されよう。また部品内のインピーダンスには広汎な変化があり、それが高速度信号を歪ませる。

典型的に、エミッターカプル論理 (ECL) ないし磁素化ガリウム集積回路を使用するような高速論理システムでは、必要な信号タイミング調整は、正確な長さを有し、かつ、与えられた信号経路内に負荷された印刷回路走路を付加することにより行われる。印刷回路図走路のこの余分の長さは、遅延ラインとして作用し、それにより実際の伝播遅延が、ラインの長さ、及びライン形状ないし設計により決められる。信号のタイミングを制御するに当つてのこの特殊な試みは、少くとも二つの欠点がある。第一に、回路図走路の余分の長さは貴重な印刷回路実資産を使い果し、それによりより高いコストを招いている。第二に遅延ラインの特性インピーダンスは、設計及び構成問題のせいで厳々制御するのが難かしい。

個別の部品として形成されていて、印刷配線盤上に導入するに適當な他の時間遅延装置もまた従来技術内に見出される。これらの装置は一般に、一括されたパラメータと分布されたパ

米国特許出願第 691193 号明細書には、新しい改良された電子信号タイミング遅延装置が開示されており、それはこじんまりとした細長片線の形に巻上げられたマイクロ条片可撓性回路から成つている。米国特許出願明細書第 691193 号のこの改良された遅延ラインの利点は、優れたインピーダンス制御、こじんまりした包装の大きさ、従来技術で見出されるものよりも良好な立上り時間、及び高速度信号の歪みの減少とを含んで居る。

その意図された目的には適合しつつも、明細書第 691193 号の電子信号遅延装置の大きさを更に減じて、米国出願明細書第 691193 号に開示された型の信号時間遅延装置の製造のコストを更に減ずる必要も認められる。

従来技術の上に論じたものやその他の問題は本発明の電子信号タイミング遅延装置によつて克服ないし軽減される。本発明によれば、高度に電導性の金属を薄い可撓性の誘電体フィルムに結合した積層板を形成することによつて、新

規な信号経路遅延装置が提案される。金属は接地(ground)シールド内の信号線から成るパターンを造るように沈積ないし蝕刻される。信号線は蛇行(すなわち、ジグザク)していて、誘電的フィルム上に一回以上行きつ戻りつしている。接地面(ground plane)もまた、電導性金属を介して設けられ信号線を取巻き、その際、線の双方の側上の小さいギャップで分離されている。二つの受台または他の手段が信号線の端部に設けられていて、両品をそれがその中に使用される回路に相互連結している。この共通平面可携性回路はそれからしつかりと巻上げられて円筒形の形状にされる。重要なことには、信号線の蛇行模様は、可携性回路が巻上げられた時に、信号線が次の層の接地面に重なる(次層の信号線にではなく)ことである。信号線の若干の重なりもあるが、そうした重りは直角に行われ、かつ接地シールドに最小の破れがあるだけにする。巻かれた回路はそれを一緒に保つて、誘電体の効果を安定化させるよう接着剤を使用すべ

な大きさで、高容積生産での製造に極めて経済的であろう。

上に論じたもの及び他の本発明の利点は下記の詳細な記述と図面とから、斯界技術熟達者には明白で理解されるであろう。

先ず第1図を参照すると、従来技術による印刷回路遅延ラインが全体的に10に示されている。第1図で、“A”及び“B”は論理可変入力(信号)である。信号Aは信号Bより速いので、信号Aを遅くするか遅延することが望まれよう。もしも信号Aが充分に遅延されれば、信号Aと信号Bの双方に対して12及び14に夫々同定される論理ゲートと論理装置16との間を走行するのに同じ量の時間がかかるであろう。

前に論じた如くに、電子信号ないし論理変数速度は、印刷回路走路長、走路設計ないし幾何形状及び基板材料の関数である。従つて、箱10内での走路の特殊長さと幾何形状とは信号A時間を信号Bに遅くするようにし、この差を Δt と規定する。実線走路18は印刷配線盤の第一

きである。その後それを包装し、かつ公知の方法の幾つかでマーク付けしてよい。

本発明の一態様によると、遅延ラインの遅延は誘電体及び/または高透磁率を有する接着剤を利用することでは増大される(回路の線の長さを増加することなしに)。高透磁率誘電体及び/または接着剤の使用は大きさ、コスト及び時間遅延装置の抵抗損失を最小化しよう。

本発明の信号遅延装置は、現在使用されている遅延ラインにも、更には又、特許出願明細書第691193号に開示されたマイクロ細片可携性回路遅延ラインの双方に優る多くの利点と特徴とがある。これらの種々の特徴と利点とは、これから後により詳しく論じる。

従つて、本発明の信号遅延装置は高速度論理盤に使用される標準的電子部品を提供し、それは高速度電子信号に対し、正確な固定した時間遅延を与えよう。本発明によれば、この時間遅延は最少の歪みと遅延された信号の劣化を伴つて与えられよう。加うるに、それはコンパクト

層を代表し、他方破線20は第二のPWB層を示すことが理解されよう。二つの走路18及び20は、22及び24に同定されたそれぞれのフィードスルー(feed thru)位置に接続されている。

要約すると、信号Aに対しては、それが論理ゲート12を通つて走行する際に、伝播遅延が在る。その結果は信号B(t_2)に対するより速い信号A(t_1)である。信号A(t_1)はそれからPC走路遅延ライン10を通して送られ、それにより Δt だけ遅くされる。最後に Δt は、A(t_1)がB(t_2)に等しくなるだろうように決められる。これの結果、A論理変数はB論理変数に匹敵する結果になる。

上述した如く、電子信号遅延用の上記の従来技術方法は、貴重で必要なPWB実装状況の使用と遅延ラインの特性インピーダンスの精密制御を欠くこととを含む多くの列挙された欠点に悩まされている。

さて第2、3A及び3Bを参照すると、二つ

の現在使用されている時間遅延装置で、個別の部品として形成され、印刷配線盤上に導入するに適当なものが示されている。第2図には一まとめにしたパラメータ遅延ラインが全体的に26に示されている。一まとめにしたパラメータ遅延ライン26は二段階型であり、個別の蓄電器及び誘導器段階が直列になつている。かくして、二つの多岐層チップコンデンサ28が一对の誘導器30へ電気的接続され、誘導器30はプラスチックの芯32を取巻いている。全体の遅延時間はインダクタンスの和にキャパシタンスの和を乗じたものの平方根に等しい。即ち、 $\sqrt{(eL)(eC)}$ 。多岐段階はインピーダンスを平滑化するにも、更にまた個別の誘導器と蓄電器により惹起される立上り時間の劣化を減ずるのにも利用される。遅延ラインのより高い性能を達成するためには、もつと多くの段階が必要とされる。IN, OUT及びGROUND端子が第2図に示す如くに蓄電器と誘導器段階に設けられており、全体の遅延ラインはそれからカプセル化

されている。例えば、第2図または第3図に示された双方の構成共に、短い遅延に対してさえも一ナノセカンドよりも何ら良好な立上り時間を与えないだろう。また、部品内にはインピーダンスの広汎な変動が在り、それが高速度信号をゆがめる。

さて、第4図に転ずると、本発明による電子信号時間遅延装置形成に使用される回路積層板が全体的に50に示されている。積層板50は薄い可撓性の誘電体フィルムまたは基板に結合された高度電導性金属で出来ている。金属は信号線52及び接地シールド54から成る回路パターンを生ずるように沈積ないし蝕刻される。

本発明の重要な特徴は信号線が蛇行(即ち、ジグザグ)になつていて、誘電体基板56上で一回以上行きつ戻りつすることである。蓋平面ないしシールド54は積層板の殆んど全面上に設けられ、かつ信号線52からはその各側上の小さいギャップ58により分離されている。一对の端子受台60と62とが信号線の二つの

されるかまたは他の工合に、第2図で34に略示した如くに包装される。

第3A及3B図には、分布されたインダクタンスとキャパシタンスとを有する分布パラメータ遅延ラインが全体的に36に示されている。典型的に、分布パラメータ遅延ラインは、その上に銀インク塗装40を接地面を形成するものとして有するガラス棒38から成る。絶縁線42がそれから銀塗装40上に巻かれ、電線からの絶縁43が必要な誘電体を形成している。一まとめにしたパラメータ遅延ラインに於ける如く、IN, OUT及びGROUND端子が必要な如くに設けられ、全体の部品はそれから、第3A図44に示す如くカプセル化されるか別の具合に包装される。分布されたパラメータ遅延ラインの性能は一まとめにされたパラメータ型よりも良いことは認められようが、しかし、前者は嵩がより大きく、単に短い遅延にのみ制限される。もつと前に述べた如く、双方の従来技術遅延ライン部品には種々の欠陥と欠点とが伴つ

端に形成されている。受台60と62とは本発明の遅延装置を、それがその中に使用されるべき回路と相互接続する。

さて、第5〜7図に転ずると、本発明の電子信号遅延ラインは、第4図の共通平面可撓性回路50を円筒形の形にしつかりと巻上げることによって形成される。巻かれた共通平面可撓性回路の一部は第5図に示されている。信号線52の蛇行模様は、可撓性回路が巻上げられた時に信号線52が次の層の接地面54にかぶさるように設計することが重要である。勿論、隣接する信号線が隣接して重なる層と若干重ならねばならないが、しかしこれら信号線は成るべくは隣接する信号線に対して直角に重なるべきであり、基底シールド内に極微の破れがあるだけにする。本発明の巻かれた蛇行信号線の好ましい配向は第6及7図の断面図に最も良く示されている。

可撓性回路積層板50が巻かれた後では、回路積層板の内部層は有効に条片線構造になり、他方、第一及び最終層はマイクロ条片構造になる

ことが判ろう。成るべくは、マイクロ条片構造、即ち第一及び最終層は、条片線部分内の信号線の幅のほぼ2倍の信号線の幅を有すべきである。回路積層板50のマイクロ条片部分での信号線より広くなつた幅は第4図で61に示されている。

本発明のある代替態様では、最内部及び最外部層の線幅を変える必要は、最内部及び最外部層内のマイクロ条片区域を無くすことで排除されている。かくして第8図では、可撓性回路積層板は全体的に63に示され、接地面66と蛇行信号線68から成る電導性回路層をその上に有する非電導性可撓性基板64を含んでいる。しかしながら第4図の回路積層板とは似ないで、第8図の可撓性回路積層板63は重なり接地区域70を含んでいる。この重なり接地区域70は巻きでの第一層になるだろうことは判るであろう。その結果、総てその後の層は条片線型になろう。72に示されてる基底材料64の追加的延長は重なり接地域70と結合して使用され

のコネクター受台76'、78'及び接地面66'に対する開孔を形成する。

第8図の蛇行信号線68は第4図の蛇行形状61とは異なる形状を有するのが認められよう。第4図では、蛇行信号線61は向き合っているジグザグ形状になつて、それ自身上で折返している。対照的に、第5図の蛇行信号線68は、平行ジグザグ形状でそれ自身上に折返している。第8図の信号線形状は遅延ライン包装に対して減少された線体の幅を許容する利点を有し、それによりより小さい線体遅延ライン包装を許容し、回路盤上で使われる実装状況の量を減ずることを許している。しかしながら、平行蛇形信号線配向は、第4図の向き合った蛇行信号線配向に対して、第8図では装置ごとに二倍も多くの重なりがあるということで、信号線重なり有害な効果を多分増加していることの不利を有している。第15図では、第8図の信号線68に類似の、平行ないし屈曲蛇行信号線形状が可撓性積層板63'内に68'に示されている。第15

図で、接地に対する保護ないし絶縁被覆を形成し、それにより内部包装を完全ならしめる。遅延ラインの包装には、74に示された外部区域で、単に基底材料64の延長であるものが使用される。かくして回路積層板62の活動部分が巻き上げられた後に、外部カバー区域74を保護被覆層としてただ受台76と78とを露わに残して巻きかぶせてもよい(第9図)。この層の上に望む如く巻く前か後に、社名及び遅延値を印刷で来ようことは理解されよう。

第10～12図にはなお更に他の本発明の代替態様が示されていて、それもまた最外部回路層が条片ライン構造であるように作る。かくして第12図では、その中に形成された信号を有せぬ接地面延長区域が80に設けられ、端子受台76'と78'を過ぎて伸びている。接地面延長80は外部回路層の周りに巻かれて条片ライン構造を形成するようにしてもよい。会社名及び指標もまた基平面上に蝕刻してもよい。成るべくは窓82を基底材料延長74内に設け、三つ

図の態様は、マルチパス平行蛇行形状の一例で、そこでは信号線はリターン79で第二のパスの為にそれ自身上で折返して居て、それがより小さい線体幅と高密度回路パターンを許容している。勿論、第15図(または第4図)態様と共にどんな数の蛇行パスが使われてもよい。

これ迄に論じた遅延ラインは総て、蛇行信号線の長さ依存している単一の選択された信号遅延時間を持つていた。しかしながら、今や第16図を参照すると、多重遅延時間を有する単一信号遅延装置が、第15図(マルチパス平行蛇行形状)に関して、多重タップと連結して論じられた信号線形状を利用することにより可能である。かくして、第16図ではマルチパス屈曲蛇行信号線が全体的に100に示され、入力タップ102と複数個の出力タップ104、106、108及び110を含んでいる。各出力タップ104～110は信号線100のリターン111の所に置かれている。第16図に示されている可撓性遅延回路の総計遅延時間は1

(7)に等しく、又出力110への接続により出されよう。同様に出力タップ108 ($\frac{3}{4}T$)、出力106 ($\frac{1}{2}T$)及び出力タップ104 ($\frac{1}{4}T$)への接続でより小さい遅延時間が近接され得る。かくして第16図に示された如き遅延ライン形状を使用することにより、複数の信号遅延時間を単一の信号遅延装置を設けることが出来る。明瞭性と理解との目的のために、信号線100と可撓性回路シート112とは、信号線と接地面114との間に何らの空き間もなしに示されたことが認められよう。従つて実際の実施では、接地面114は信号線100及び入力及び出力タップ102～110から選ばれた距離で終つており、それらの間に必要な絶縁性半タップを与えるようになつてゐることが理解されるべきである。

第16図に示した多絞タップ遅延ラインは、その中に多重遅延時間を有する単一信号遅延装置が、各々単一遅延時間を有する複数の遅延装置を置換しうるということで、好ましい態

受台128を露出している。複数の多重出力パッドないしタップが入力パッド128の下に置かれていて、第18図で130～138に明かにされている。入力パッド128と出力タップ130～138との境をなす積層材料は回路積層板122の非電導性可撓性基板部分から成つてゐることが判らう。

さて、第19図を参照すると、巻かれた回路積層板122は、矩形ないし他の形にした箱組ないし包装140中に負荷され得て、それには接地ピン142、入力ピン144及び出力ピン146を含む三本の電導性ピンが備えられてゐる。これらの電導性ピンはそれぞれ、接地リボン124、入力パッド128及び出力タップ130～138の一つに接続される。入力及び出力ピン144と146とは、可撓性接触子148及150を介してそれぞれの入力パッドと出力タップと電気接触をなしている。包装140の頂表面にはしるし151があつて、それが複数の出力タープ130～136に該当し

様であろう。この特徴は製造及び在庫目録コストを減少させ、更にまた電子回路設計者に柔軟性を与えるであろう。しかしながら、そうした信号線形状につきものの一つの問題は、多重タップは不連続を表し、それが信号遅延装置の信号伝達特性を低下させようということである。この問題を軽減する努力では、各出力当合は接地面内の切り欠き内に成るべく負荷して、受台のキャパシタンスを減ずるようにする。かくして第17図では、出力パッドないしタップ116が接地面120内の切りかきまたは窪み118中に負荷される前に示されている。

ある好ましい態様では、第16図の多重タップ遅延ラインが、第18及び19図に122に全体的に示されている円筒形外形になるようにそれ自身上に巻かれるようになつてゐる。第18図では、本発明の巻かれた回路積層板の一隅はそれの中に縦の切れ目を有し、それが可撓性接地リボン124を提供している。開孔126が回路積層板を透して作られ、比較的大きい入力

ている。ねじ152の形になつた、調整用スロット154と矢印の指示器156のついた選択ボタンが巻かれた回路積層板122に取付けられている。

操作の間、選択器ボタン152はスロット154を経て時計方向ないし反時計方向にしるし151により明示されている選択出力時間へ回転される。選択器ボタン152が回転されるにつれ、回路積層板122は回転し、それによりそれの上に電気接触子150を有する出力ピン146は出力タップ130～138の何れか一つと電気接触しよう。出力ピン146がそれと接触してゐるのがどの出力タップ130～138であるかに拘らず、それの上に電気接触子148を有する入力ピン144は入力パッド128と常に接触してとどまり、他方接地ピン142もまた接地リボン124と常に接触してとどまる。印刷回路盤に挿入するのに適する接地、入力及び出力ピン142、144及び146が示されたけれども、ピン142～146は、表面装置

応用に対しては適切なパッドに置換することが出来るよう。

本発明の巻かれた回路積層板は、成るべくは適切な接着剤を利用して個別の層を一緒に接合し、その誘電率の効果を安定化するのを助ける。その後で巻かれた積層板は望まれる如くに包装してよい。例えば第13A、13B及び13C図では、モールドした浸漬した及び後ろを清した包装がそれぞれ84、86及び88に示されている。良く公知の如くに、これらの包装は本発明の電子信号時間遅延装置のスルーホール装着を行うのによく適している。

代りに、表面装着に適合するのには信号受台及び接地受台パターンが設計されてもよい。そうした表面装着用包装は第14A及び14B図にそれぞれ90と92に示されている。

巻かれた回路積層板の形状は円筒形である必要はないことが認められよう。それは三角形、四角ないし他の形をした支柱上に巻かれ、包装が印刷回路板上、特に表面装着包装に対し、配

ギャップも変化してもよい。同様に積層板材料も必要ないように変えてもよい。誘電率、透磁率ないし物理的性質を変化するのに充填物を使用してもよい。また複合フィルムも、本発明の回路積層板と共に使用してもよい。上述した如く接着剤も回路と一緒に保ち、更には電気的性質を改良するために必要のように使用してもよい。以下により詳細に論ぜられる如くに、高透磁率／誘電率誘電体および／または接着剤が装置の遅延を増大するのに使用されてもよい。最後に各遅延ラインに対する遅延時間とインピーダンスとは如何なる適切な値にも設定出来る。

前記の図面に記された遅延ラインの大きさ、コスト及び抵抗損失を減ずることは高度に望ましいことは認められよう。遅延ラインの遅延は、高透磁率を有する誘電材料の利用により、回路の線の長さを増加することなしにほぼ増加し得ることが見出された。背景説明として、回路内の伝播速度は下記の関係を用いて決定しうる。

向するのを容易に出来るよう。かくして第20及び21図には三角形形状にした巻かれた積層板と矩形形状にした巻かれた積層板がそれぞれ94及び96に示されている。望む非円筒形状を維持するためには、回路積層板の巻かれた層間の接着剤材料は支柱上に部分的に硬化されて、一旦積層板が解放されても形状が固定してとどまることを確実ならしめることを要するだろう。

また、本発明は射出成形、モールドイング、収縮管化及び金属容器のような如何なる他の適当な包装法を含めてもよく、第13、14、20及び21図に示した特殊包装用案に制限されるべきでないことも認められるであろう。

本発明の回路積層板上に形成された信号及び基本パターンは付加的または排除的操作により製造されることが出来る。又与えられたインピーダンスを維持し、混信制御、改良された立上り時間及び減少された信号線重なりを維持するに必要なのは、如何なる幾何形状でもよい。信号線幅、更には又それを接地平面から分離している

$$v_p = \frac{c}{\sqrt{\epsilon_r \mu_r}}$$

ここに、 v_p = 伝播速度

c = 光速

ϵ_r = 相対誘電率

μ_r = 相対透磁率

従つて、遅延時間は下記の如く算出される。

$$T_d = \frac{\sqrt{\epsilon_r \mu_r}}{c} l$$

T_d = 遅延、 l = 線の長さ

そうすると明かに、もしも線の長さが大きさ、コスト及び抵抗損失を最小化すべきならば、 ϵ_r または μ_r が増加されねばならない。これに反対行動するには、線幅は減少さるべきで製造が著しく困難になり、線抵抗が受容出来なくなろう。

μ_r と ϵ_r とを同時に増加し、又それらの比を一定に保つことにより、インピーダンスは典型的線幅を使用する特定区域内に保持されることが出来る。他方遅延時間は増加される。これは、(1)接着剤に高透磁率材料をドーブさせるか、ま

たは、(2)全体の誘電材料をそうした高透磁率材料でドーブさせるかの二つの方法で達成されることが出来る。これら二つの構造はそれぞれ第22A～B及び第23A～B図に示されている。

第22A図では、原回路(巻く筋)の一部が全体的に100に示されていて、電導性回路の痕104と接地面106とをその上に有し、その間に高透磁率ドーブ付接着剤層108をつけた誘電体基板層102を含んでいる。接着剤108の第二層が接地面106、回路痕104及び露出した接着剤表面110及び112上に沈積された後に、回路100はそれ自身上に巻かれて第22B図の巻かれた回路積層板遅延装置を形成する。

第22A及び22B図は高透磁性接着剤層を内蔵する遅延ラインを開示しているけれども、第23A及び23B図では、高透磁率誘電体層を有する回路を利用する遅延装置が全体的に114に示されている。遅延装置114はそれの上に接地面118と回路痕120とを有する

高透磁率誘電体層116を含んでいる。前に記した態様に於ける如くに、接地面118と痕120とはギャップ122と124とにより分離されて誘電体表面の一部を露出する。巻くのに先立つて、高透磁率接着材料が接地面118、痕120及びギャップ122、124上に設けられ、その上で回路114は第23B図に示されるように巻かれる。

成るべくは、第22及び23図の態様内に利用される高透磁率接着剤および/または誘電材料は、比較的に高い誘電率を有する低損失型材料を含んでいる。そうした材料は目下、マイクロウェーブ応用に使用され、フェライト及びガーネットを含んでいる。必要な高透磁率材料を遅延ライン回路に与える好ましい方法は、全体の誘電体を高透磁率材料でドーブして(第23A及び23B図に示される如く)、最大の遅延時間と最小化された誘電界面を与えるようにすることである。第4～14図または先行の同時出願米国特許明細書第691193号に示され

た態様の何れも、第22及び23図と合せて上述した如く、高透磁率誘電体及び/または接着剤と一緒にして使用しうることが認められよう。

本発明の電子信号タイミング遅延ラインは従来技術遅延ラインに勝る多くの特徴と利点とを含んでいる。これらの利点は、改良されたインピーダンス制御及び均質性、短い遅延(2から5ナノセカンド以下)に対する改良された立上り時間対遅延比率、短遅延に対する減少された包装の大きさ、減少された信号ひずみ、表面装層への適合性、低い製造及び組立コスト、及びナノセカンド以下領域で遅延を与える能力とを含んでいる。

その上、本発明の電子信号時間遅延装置はまた、米国特許出願明細書第691193号に開示されたマイクロ条片可撓性回路遅延ラインに勝る或る特徴と利点をも含んで居る。例えば本発明は減少された製造コストを許す、何故なら、従来の応用の遅延ラインに必要とされた如き別々の接地層とカバーフィルムが無いからである。

また、同じ信号線幅に対して、外部包装直径が特により長い遅延に対し著しく減少される。同様に同じ包装直径に対して、信号線は二倍も広く、誘電体は二倍も厚くなっていることが出来る。その結果、公差内製造上の変化は電気特性への衝撃が少い。本発明の遅延装置については典型的線幅が2～3ミルから4～6ミルに増大されるだろうから、これは特に重大な特徴である。

本発明のなお更に別の特徴は、入力、出力及び接地受台への単一側部での近接が設けられていることである。本発明が“単同軸的”構成のせいで、従来の特許出願明細書第691193号の遅延装置に勝る電気的性能の若干の改良を提供することにもまた考え得る。かくして、頂部及び底接地シールドと更にまた信号線の双方の側上のシールドも在るせいで、この構造は実際に、もつと前に開示されたマイクロ条片可撓性回路遅延ラインに対する電気的性質を改良することを得る。

好ましい態様を示し記述したけれども本発明の精神と範囲から離れることなく、種々の修正と置換が出来よう。従つて本発明は説明として記述されたもので制限としてではないことが理解されるべきである。

4. 図面の簡単な説明

図を参照するに当り、類似の素子は種々の図中で似た番号で示されてある。

第1図は従来技術での印刷回路走路遅延ラインの略図である。

第2図は従来技術による二段階一まとめパラメーター遅延ラインの透視図である。

第3A図は従来技術による分布したパラメーター遅延ラインの透視図である。

第3B図は第3A図の分布パラメーター遅延ラインの一部分の、一部分断面にした拡大透視図である。

第4図は回路積層板の一態様の平面図で、向き合つた蛇行信号線形状を有し、本発明による電子信号タイミング遅延装置形成に使用される

層板の透視図である。

第13A～13C図は本発明による電子信号タイミング遅延装置のスルーホール装置に使用された最終包装の例である。

第14A及14B図は、本発明による電子信号タイミング遅延装置の表面装置に対し使用される包装の例である。

第15図はマルチバス平行蛇形信号線形状を有する回路積層板の平面図である。

第16図は本発明により、信号線遅延時間の量を変化する為に、複数の出力タップを有する回路積層板の平面図である。

第17図は第16図の回路積層板の一部分の透視図で、減少されるキャパシタンス出力受台またはタップを示している。

第18図は第16図の積層板に類似の回路積層板の巻上後の透視図である。

第19図は、包装後の第18図の多岐タップ回路積層板の透視図である。

第20図は三角形状に巻かれた、本発明によ

ものである。

第5図は第4図の回路積層板の一部の平面図で、巻かれる後での、かつ本発明によるものである。

第6図は第5図の線6-6に沿う切断面立面図である。

第7図は第5図の線7-7に沿う切断面立面図である。

第8図は回路積層板の他の態様の平面図で、平行蛇行信号線形状を有しており、本発明による電子信号タイミング遅延装置を形成するに使用されるものである。

第9図は巻かれる後での第8図の回路積層板の透視図である。

第10図は本発明による電子信号タイミング遅延装置形成に使用された更に別の回路積層板の一部の平面図である。

第11図は部分的に巻かれた、第10図の回路積層板の透視図である。

第12図は巻かれる後での第10図の回路積

る回路積層板の透視図である。

第21図は矩形々状に巻かれた、本発明による回路積層板の透視図である。

第22A図は、巻上げ前の高透磁率接着剤層付きの、本発明の遅延ラインの切断面立面図である。

第22B図は、巻上げ後の第22A図の遅延ラインの切断面立面図である。

第23A図は巻上げ前の、高透磁率誘電体層を有する遅延ラインの切断立面図で

第23B図は巻上後の第23A図の遅延ラインの切断面立面図である。

特許出願人 ロジャース・コーポレーション

代理人 安 達 光 雄

同 安 達



図面の浄番(内容に変更なし)

FIG.1

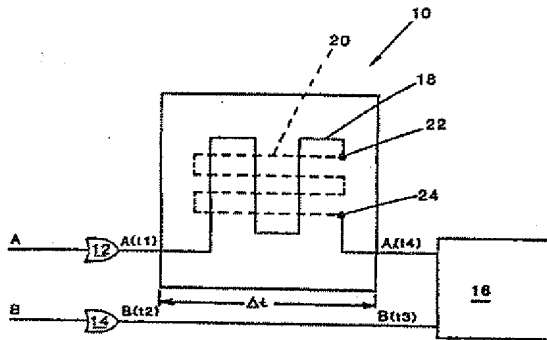


FIG.2

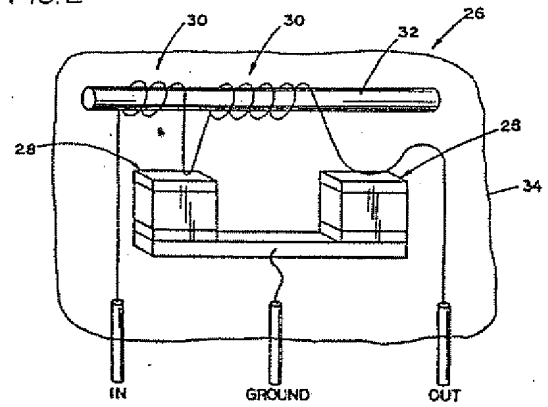


FIG.3A

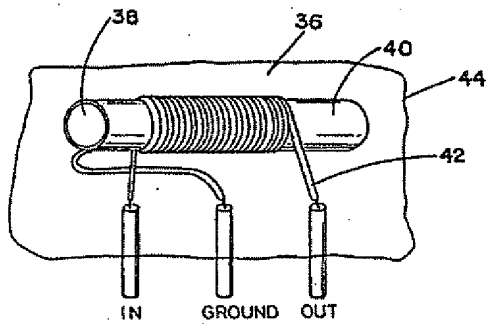


FIG.3B

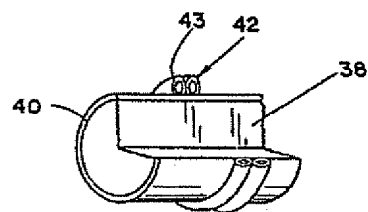
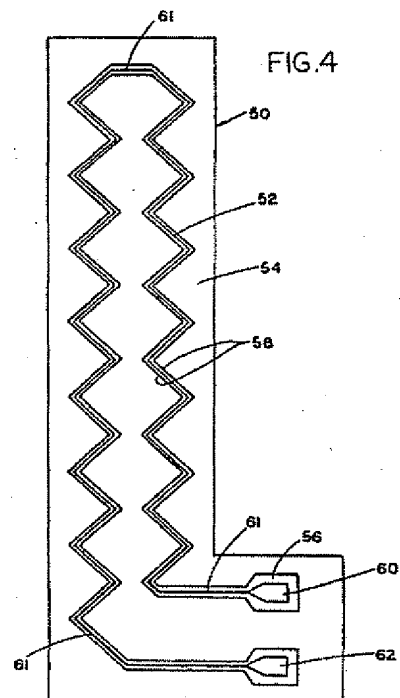


FIG.4



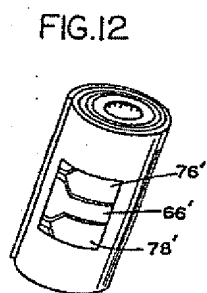
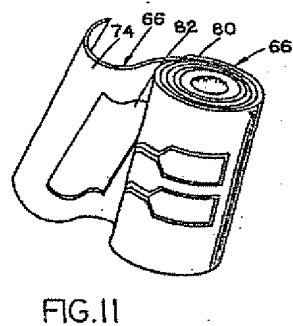
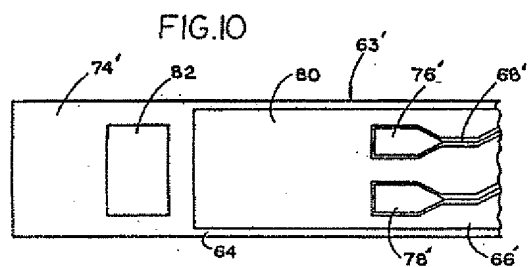
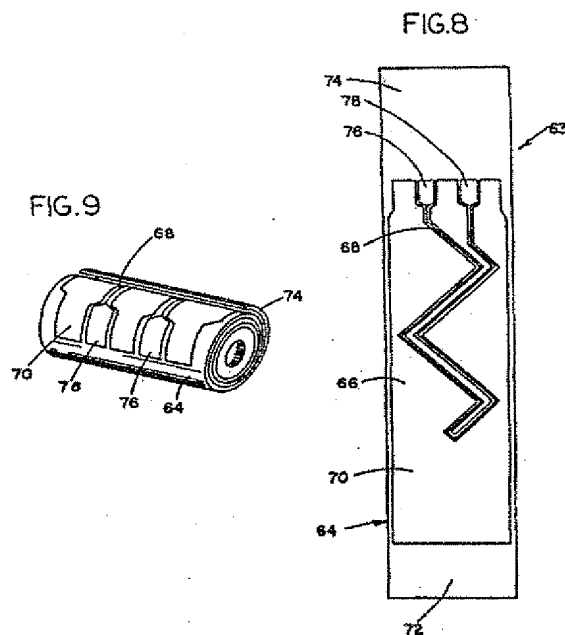
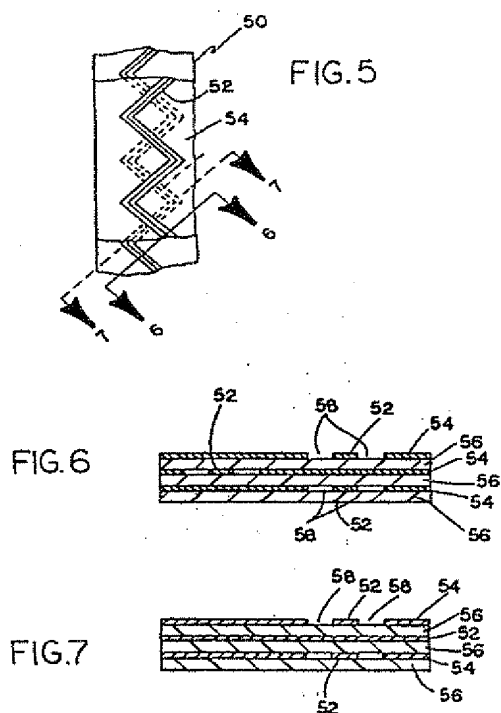


FIG.13A

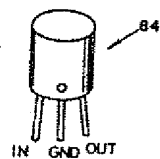


FIG.13B

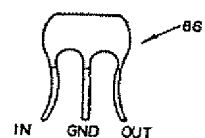


FIG.13C

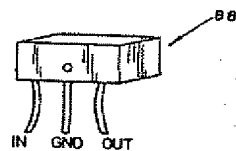


FIG.14A

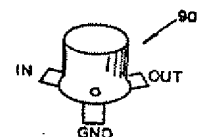


FIG.14B

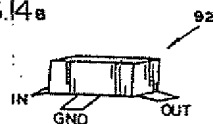


FIG.15

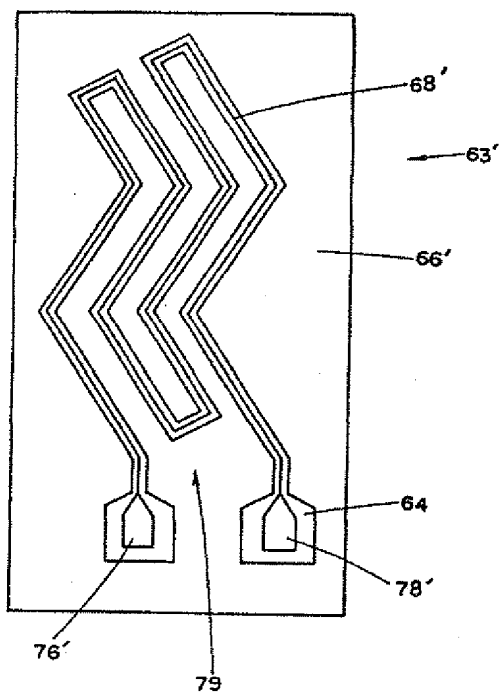


FIG.16

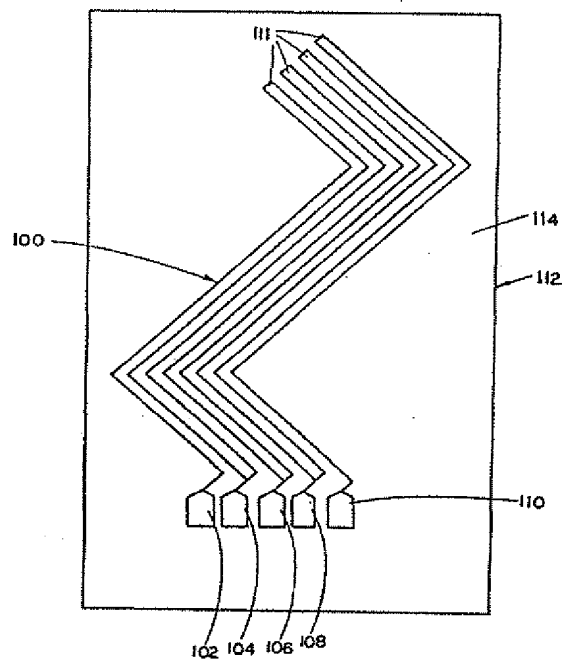


FIG.17

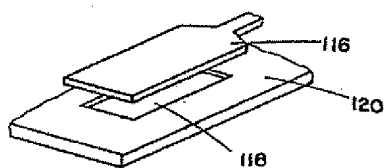


FIG.20

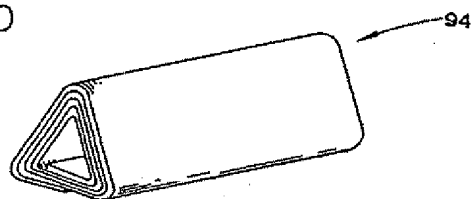


FIG.21

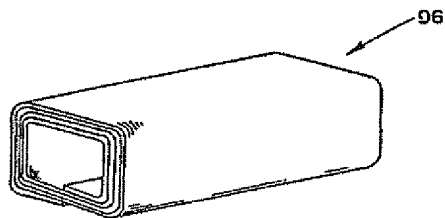


FIG.18

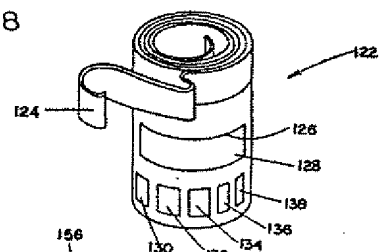


FIG.19

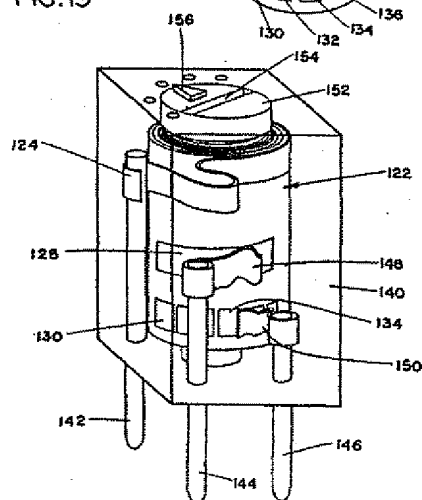


FIG.22A

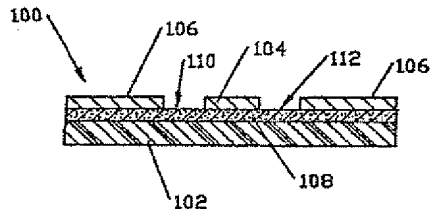


FIG.23A

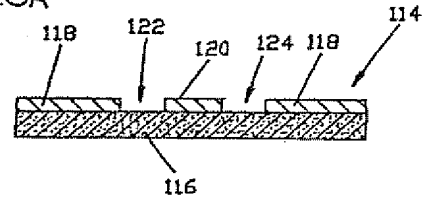


FIG.22B

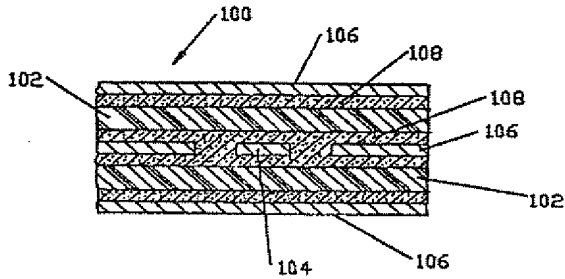
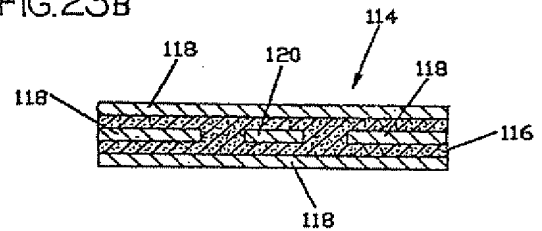


FIG.23B



手続補正書

昭和61年5月 / 日

特許庁長官 宇賀道郎 殿

1. 事件の表示 昭和61年特許願第66991号
2. 発明の名称
電子信号時間遅延装置

3. 補正をする者

事件との関係 特許出願人

~~発明者~~

~~フリガナ~~
~~氏名~~ ロジャース・コーポレーション

4. 代理人

住 所 大阪市西区江戸堀1丁目22番22号
(電話) 06-441-1816・444-4530

氏 名 (5969) 安達 光雄

5. 補正の対象
図面、明細書

6. 補正の内容
図面及び明細書の浄書(内容に変更なし)

7. 添付書類目録
図面(浄書したものの) 1通
明細書(浄書したものの) 1通

1通
1通

